

应用于超低电压下的 SRAM 存储单元设计

刘冰燕,蔡江铮,黑 勇

(中国科学院 微电子研究所, 北京 100029)

摘 要: 提出一种能够工作在低电压下的 SRAM 存储单元,单元采用 8T 结构,在传统 6T 结构的基础上增加两个串联的 NMOS 构成读出端口,传统 6T 结构中背靠背反相器采用高阈值晶体管. 采用 Smic130 nm 工艺仿真结果显示,提出的 8T 结构能够在最低 0.3 V 下正常操作,单元的读写噪声容限,保持噪声容限,相比传统 6 管结构显著提升,并且低电压下静态功耗方面均比传统 6 管结构降低 60%~70%.

关键词: 随机静态存储器(SRAM);低电压;低功耗;存储单元;多阈值

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)09-0015-04

A SRAM Bitcell Design for Ultra-Low Supply Application

LIU Bing-yan, CAI Jiang-zheng, HEI Yong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper presents a novel SRAM bitcell structure which is applied for ultra-low voltage. The bitcell is composed of 8 transistors, two additional NMOS transistors in series is added to traditional 6T structure as a read out port. Besides, the back to back to inverter is designed by high threshold voltage transistors. Simulations in simic 130 nm process are operated. The simulation results show that the hold and read static noise margin of proposed bitcell have enhanced greatly comparing to conventional 6T, additionally, this new bitcell can operate correctly in ultra-low voltage region. Comparing to conventional 6T cell, the static power consuming of this bitcell is reduced by 60%~70% in low voltage region.

Key words: SRAM; low voltarg; low power; store cell; multi-threshold voltage

1 引言

近年来随着无线传感网络,健康医疗电子,可穿戴设备等应用的兴起,对集成电路功耗的要求越来越高,功耗成为设计的关键^[1]. 对于各种应用下的 SOC,嵌入式存储器占据了很大一部分面积和功耗,尤其是嵌入式静态随机存储器(Static Random memory),因此,设计出一款低功耗 SRAM 尤其重要^[2]. 为了实现低功耗,各种各样的低功耗技术被应用在设计中,包括多电压技术,多阈值技术,时钟门控,电源门控,衬底偏置,降低电压等等. 其中在一些对性能要求不高的应用中,通过降低电压能够显著降低近动态功耗以及静态功耗,因此低电压技术成

为一个研究热点. 同样的,国内外对低功耗 SRAM 的设计与研究也朝着低电压方向发展^[3]. 在低电压下,传统 6T 结构在读写方面出现问题,导致不能正常的读写操作,因此需要提出新的存储单元结构来应用与低电压下. 此外,对于存储单元泄露电流是其功耗的主要来源,设计低漏电单元至关重要^[4]. 文献[5]提出一种 9 管结构不仅提升了读噪声容限,还显著降低了泄露功耗. 文献[6]提出一种 7 管结构,在显著提高读噪声容限的基础上也提升了读出速度,并且通过采用高阈值管子,电路整体泄露功耗显著降低. 文献[7-9]也分别提出了 8 管,9 管等结构,都是通过增加晶体管来分别提升读写噪声容限以及降低泄露功耗,但都付出了一部分的面积开销.

收稿日期: 2015-12-01; **修回日期:** 2016-01-15

基金项目: 中国科学院战略性先导科技专项极低功耗智能感知技术(XDA06020401)

本文提出一种新型的 8 管结构.

2 6 管存储单元在低电压下分析

Smic130 nm 工艺下,传统 6 管 SRAM 标准工作电压是 1.2 V,在低电压下,由于受到工艺,电源以及温度波动(PVT)会导致存储单元读写操作出现错误.

2.1 读写操作过程及相关特性

读写噪声容限是存储单元设计时最重要的设计指标.图 1(a)所示是传统 6T 结构读操作过程,位线通过预充电路预充到高电平,之后打开字线根据存储在单元内部的 QB 电压决定是否对位线放电,如果 $Q=1$,则晶体管 MD 打开,通过如图 1 所示读出路径进行放电,为了保证在读出过程中数据不翻转,QB 点的电压不能大于反相器的阈值电压 V_m ,这就需要 MD 驱动能力大于传输管 MT,在相同阈值条件下,驱动能力通过晶体管尺寸来决定,因此也就是满足 $(\frac{W}{L})_{MD} > (\frac{W}{L})_{MT}$.同样的,如图 1(b)所示是传统 6T 单元的写操作过程,通过写驱动电路将写数据传输到位线上,如果是对存储节点写 0,那么通过 MR 以及 MT 构成写路径,为保证数据正确写入,需要 MT 驱动能力大于 MR,通过尺寸大小来决定驱动能力时,需要满足 $(\frac{W}{L})_{MT} > (\frac{W}{L})_{MR}$,在提升读噪声容限时,写能力下降,提升写能力时,降低了读噪声容限,因此在传统 6 管结构中,读写噪声容限的提升是彼此矛盾的,这样在存储单元尺寸设计时需要仔细权衡.

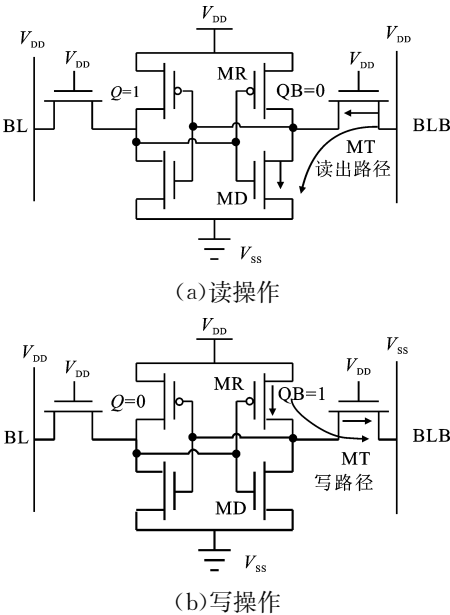


图 1 6 管存储单元的读写操作

在低电压下,晶体管驱动能力受 PVT 影响的更大,通过调整晶体管尺寸来平衡读写能力已经不再有用,更大尺寸的晶体管会加剧驱动能力的波动,如图 2 所示,上方曲线代表在不同电压下噪声容限的均值,下方曲线代表噪声容限的偏移,从仿真结果看出,当电压降低到 0.4 V 时,单元噪声容限恶化,使得单元不能进行正常的操作.因此需要提出新的单元结构解决低电压下单元不能正常操作的问题.

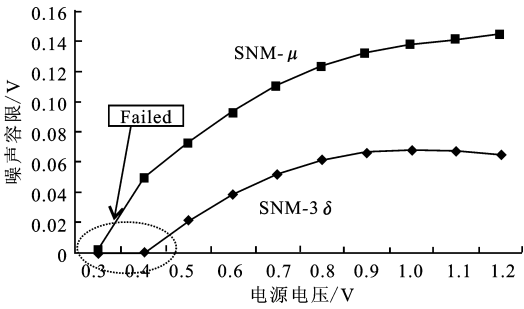


图 2 传统 6 管单元在不同电压下噪声容限

2.2 读写噪声容限的指标确定

低电压下尺寸设计受到局限,晶体管驱动能力更易受到工艺波动的影响,因此读写噪声容限显著下降,传统 6 管已经不再适用.

为了能够准确合理地评估低电压下单元的读写噪声,本文提出了读写噪声的测量电路,如图 3 所示.为了引入工艺的波动带来的影响,读写噪声的仿真评估均采用工艺库中提供的蒙特卡洛模型.如图 3(a)所示,在反相器之间引入噪声源,对噪声源进行直流扫描,从 0 逐渐增大,直到存储节点 Q 及 QB 数据发生翻转时的噪声源值作为保持以及读噪声容限.

写噪声容限的评价也可以通过对左右两个反相器对直流扫描得到 VTC 曲线,来绘制出相应的写噪声容限图^[10],但是在采用蒙特卡洛仿真时不太实用,因此本文提出一种新的噪声容限估计方法.如图 3(b)所示,在位线 BLB 上添加噪声源 V_n ,首先不考虑工艺偏差,在特定工艺角下对噪声源进行瞬态分析,从 $0-V_{DD}$ 扫描,当存储内部节点 Q 级 QB 翻转时有一个噪声初始值 V_{n0} ,之后在位线 BLB 上添加一个固定的噪声源 V_{n0} ,存储单元换成蒙特卡洛模型,进行 Monte=5 000 次仿真,如果所有的仿真均写入成功,那么,增大噪声源 $V_n=V_{n0}+\Delta V$ 再次仿真,直到 5 000 次蒙特卡洛仿真中有写操作出错为止,定义该值为写噪声容限.

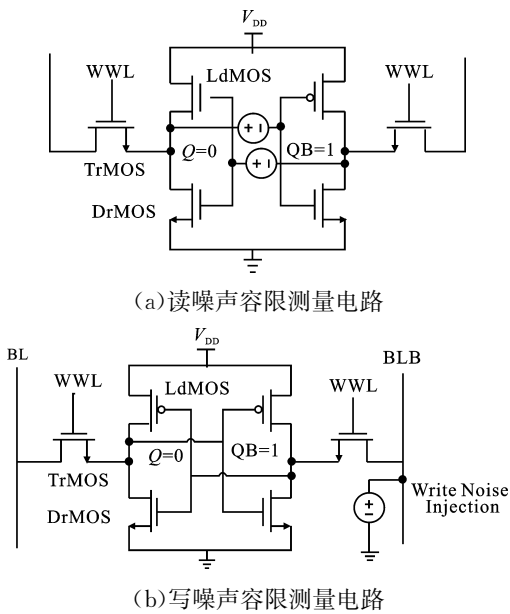


图 3 存储单元读写噪声容限测量电路

3 本文提出的 8 管存储单元设计及分析

图 4 所示为本文提出的 8T 结构,在传统 6 管的基础上增加一个读出端口电路,其由两个串联的 NMOS 构成,其中一个 NMOS 栅极接到存储节点 QB,另一个 NMOS 的栅极接到读字线 RWL. 该串联 NMOS 尺寸的设计主要从读出的速度以及漏电两方面考虑. 如果为了提高 SRAM 整体的速度,加大串联 NMOS 管子尺寸,但是这样会导致串联 NMOS 的漏电增大,在读位线上挂接较多的单元时,那么会对读出数据产生影响. 因此在保证读出速度和泄露电流影响较小的前提下,我们设计了串联 NMOS 图 4 所示的尺寸. 由于采用读写隔离的结构,因此读噪声容限近似等于保持噪声容限,因此在设计存储单元尺寸时,更多的需要提高写噪声容限. 由前文分析,为了提高写噪声容限,需要增强 Mp 的驱动能力,减弱 Mt 的驱动能力. 因此我们对整体 8T 存储单元的尺寸设计如表 1 所示. 串联 NMOS 的尺寸如图 4 标注所示.

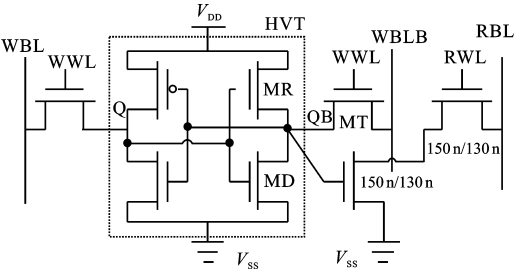


图 4 本文多阈值 8 管存储单元结构

	表 1 存储单元尺寸		
	MR	MD	MT
Conv6T	160n/150n	220n/130n	175n/150n
Prop8T	150n/130n	150n/130n	150n/130n

由于存储单元在这个 SRAM 电路中占据很大的面积,因此在设计单元版图时需要最大限度地优化面积,如图 5 所示分别是传统 6 管结构版图以及本文提出的 8 管结构版图.

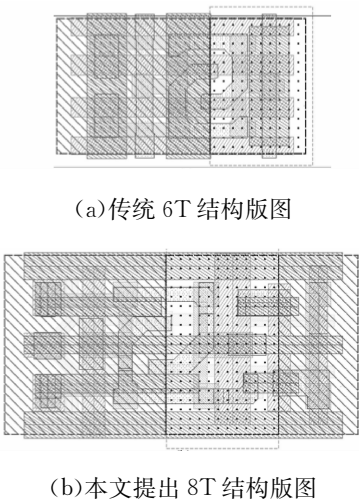


图 5 存储单元版图

4 仿真结果及分析

4.1 噪声容限分析

仿真采用 smic130 nm 工艺,为了引入晶体管工艺偏差以及失配,采用蒙特卡洛仿真模型进行仿真. 对提出的存储单元与传统 6 管单元分别进行保持噪声容限以及读噪声容限仿真. 与本文提出单元做对比的 6 管结构是采用工艺厂商提供的尺寸.

图 6 是传统 6 管结构与提出的 8 管结构在不同电压下的保持噪声容限,可以看出本文提出的 8 管结构相比传统 6 管在保持噪声容限上有一定的提升,但在极低电压下提升不大.

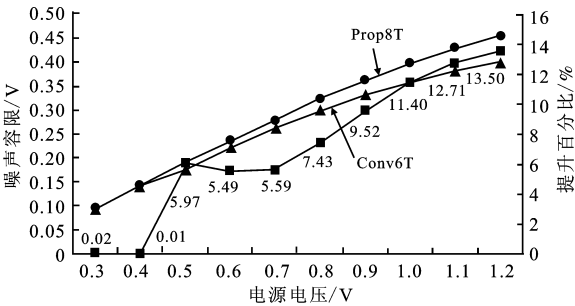


图 6 保持噪声容限比较

根据前文分析知道,传统 6 管结构在 0.3 V 下已经不能正确读出,因此我们只对 0.4~1.2 V 范围内传统 6 管结构的读噪声容限与本文提出的 8 管结构进行对比,从仿真结果可以看出,不管在正常电压下还是低电压下,读噪声容限的提升都是非常明显的。

通过对传统 6 管以及本文提出的存储单元进行仿真得到如图 7 所示的仿真数据. 仿真通过前文提出的仿真方法得到,为了保证精确性,蒙特卡洛仿真次数为 5 000 次,也就是说,在上述 BLB 电压下,数据均能够正确写进去. 从图中可以看出,不同电压下的写噪声容限在 1.2 V 标准电压下,两个存储单元的写噪声容限分别为 440 mV,513 mV,相比 6 管提升了 16.59%. 而在低电压下,比如在 0.3 V 下,传统 6 管和提出的 8 管结构的读噪声容限分别为 39 mV,110 mV,提升了 182.05%,可以看出本文提出的单元结构在低电压下能够非常明显地提升写能力,确保了存储单元在低电压下正确的操作。

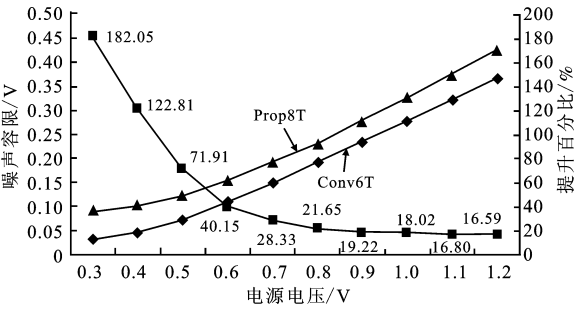


图 7 写噪声容限比较

4.2 功耗分析

为了验证本文提出的存储单元在功耗方面的优势,分别在 0.3~1.2 V 下对传统 6T 结构,普通阈值 8T 结构,以及本文提出的多阈值 8T 结构进行分析对比,Hspice 仿真结果如图 8 所示,从仿真图上可以看出,功耗最大的是普通阈值的 8 管结构,其次是传统 6 管,功耗最低的是本文提出的多阈值 8 管结构. 不同电压下多阈值 8 管结构相比传统 6 管的降低的效果,在低电压下静态功耗能够降低 60%~70%.

5 结束语

在低电压应用条件下,为了解决传统 SRAM 不能正常工作的问题,本文提出了一种多阈值 8 管结构,通过仿真可以知道,该结构在低电压下能够进行正常的读写操作,相比传统的 6 管结构,在宽电压范

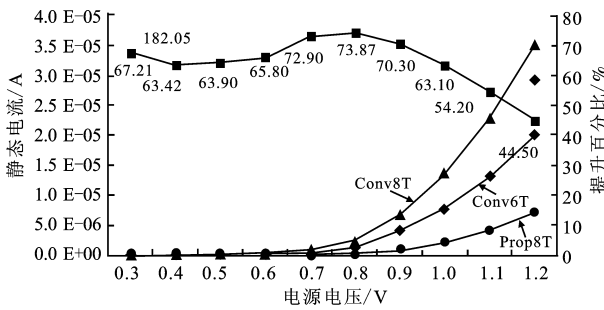


图 8 不同电压下静态功耗比较

围内(0.3~1.2 V),读写噪声容限有显著的提升,并且在不同电压下静态功耗降低 60%~70%,在保证功能正确的基础上显著降低了存储器的功耗。

参考文献:

[1] Sinangil Y, Chandrakasan A P. A 128 kbit SRAM with an embedded energy monitoring circuit and sense-amplifier offset compensation using body biasing [J]. IEEE Journal of Solid-State Circuits, 2014, 49 (11):2730-2739.

[2] Sharma V, Cosemans S, Ashouei M, et al. A 4.4 pJ/access 80 MHz, 128 kbit variability resilient SRAM with multi-sized sense amplifier redundancy[J]. Solid-State Circuits, 2011, 46(10):2416-2430.

[3] Calhoun B H, Chandrakasan A P. Ultra-dynamic voltage scaling (UDVS) using sub-threshold operation and local voltage dithering[J]. IEEE J. Solid-State Circuits, 2006, 41(1):238-245.

[4] Wu J J, Chen Y H, Chang M F, et al. A large sigma V_{TH}/VDD tolerant zigzag 8T SRAM with area-efficient decoupled differential sensing and fast write-back scheme [J]. Solid-State Circuits, IEEE Journal of, 2011, 46(4):815-827.

[5] Liu Z, Kursun V. Characterization of a novel nine-transistor SRAM cell[J]. IEEE Transactions on Very Large Scale Integration Systems, 2008, 16 (4): 488-492.

[6] Tawfik S A, Kursun V. Low power and robust 7T dual- V_t SRAM circuit[C]//Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on. Seattle, Washington, USA, IEEE, 2008:1452-1455.

[7] Pasandi G, Fakhraie S M. A new sub-300mV 8T SRAM cell design in 90nm CMOS[C]//Computer Architecture and Digital Systems (CADS), 2013 17th CSI International Symposium on. Tehran, Iran, IEEE, 2013:39-44.

目非常客观,时延也有一定的改善.同时乘法器使用 0.6 μm SMIC 工艺,在系统时钟为 150 MHz,电压 2.0 V,系统功耗 8.98 mW,延迟为 8.76 ns.

4 结束语

本次设计提出一种改进的 CSA 阵列设计高速低功耗的乘法器的方案,该系统改进了用于产生部分积的 Booth-4 编码器的基本单元和用于完成部分积压缩的 CSA 阵列,消除了传统意义上的最终的加法器直接得出乘积结果.其中 CSA 运算单元采用新型的不同逻辑的结构混合设计,可以适当的调整关键路径和非关键路径延时和功耗的关系.由于 CSA 阵列的延时性会随着乘法器的位数而非线性增加,因此本设计仅适合位数低于 16 位的低功耗乘法器的设计.通过仿真结果表明,这种由新型全加器构建经过改善后的 CSA 阵列减少了相当可观的

参考文献:

[1] Kalaiselvi K, Mangalam H. Area efficient high speed and low power MAC unit[J]. International Journal of Computer Applications, 2013, 67(23):40-44.

[2] 王晓东, 富坤, 耿恒山, 等. 在 8 位微程序控制的模型计算机中 Booth 算法的实现[J]. 河北科技大学学报, 2013, 33(5):443-447.

[3] 徐东明. 实现快速乘法的几种改进贝斯算法[J]. 西安邮电大学学报, 2006, 11(1):61-65.

[4] 翟召岳, 韩志刚. 基于 Booth 算法的 32 位流水线型乘

法器设计[J]. 微电子学与计算机, 2014, 31(3): 146-149.

[5] 李路路, 何春, 宗竹林, 等. 一种基于 Dadda 树的乘法器设计[J]. 微电子学与计算机, 2011, 28(5): 176-179.

[6] 杜慧敏, 马超. 一种快速浮点乘法单元的设计与实现[J]. 西安邮电大学学报, 2013, 18(1):62-66.

[7] Cilaro A, De Caro D, Petra N, et al. High speed speculative multipliers based on speculative carry-save tree[J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2014, 61(12):3426-3435.

[8] Seo Y H, Kim D W. A new VLSI architecture of parallel multiplier-accumulator based on radix-2 modified Boothalgorithm[J]. IEEE Transactions on Very Large Scale Integration Systems (VLSI), 2010, 18(2): 201-208.

[9] 朱世宇, 夏汝华, 甘科, 等. 基于 FPGA 的阵列乘法器的设计与实现[J]. 自动化与仪器仪表, 2011,30(4): 60-61.

[10] Ku T, Agrawal S, Giomi J C. Methods and apparatus for data path cluster optimization; US, 8935651[P]. 2015-01-13.

作者简介:

徐东明 男,(1963-),教授,硕士生导师.研究方向为专用集成电路.

卢 斌(通讯作者) 男,(1990-),硕士研究生.研究方向为专用集成电路. E-mail:949649117@qq. com.

(上接第 18 页)

[8] Chang M H, Chiu Y T, Lai S L, et al. A 1kb 9T sub-threshold SRAM with bit-interleaving scheme in 65nm CMOS[C]// Proceedings of the 17th IEEE/ACM international symposium on Low-power electronics and design. Italy,Rome, IEEE Press, 2011:291-296.

[9] Yabuuchi M. A 45nm 0.6V cross-point 8T SRAM with negative biased read/write assist[C]// VLSI Circuits, 2009 Symposium on. Japan, Kyoto, 2009: 158-159.

[10] Wang Jiajing, Nalam S, Calhoun B H. Analyzing static and dynamic write margin for nanometer SRAMs[M].

UK,Cardiff, Low Power Electronics and Design, International Symposium on ACM Press, 2008:129-134.

作者简介:

刘冰燕 男,(1992-),硕士研究生.研究方向为低功耗 SRAM 设计、低功耗数字电路设计.

E-mail:liubingyan@ince. ac. cn.

蔡江铮 男,(1989 -),博士研究生.研究方向为近亚阈值 SRAM 设计、超低功耗 SRAM 设计.

黑 勇 男,(1974 -),研究员,博士生导师.研究方向为大规模集成电路设计、低功耗数字集成电路设计.